

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 55-033288

(43)Date of publication of application : 08.03.1980

(51)Int.Cl.

G06F 15/16

G06F 11/16

(21)Application number : 53-106507

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.08.1978

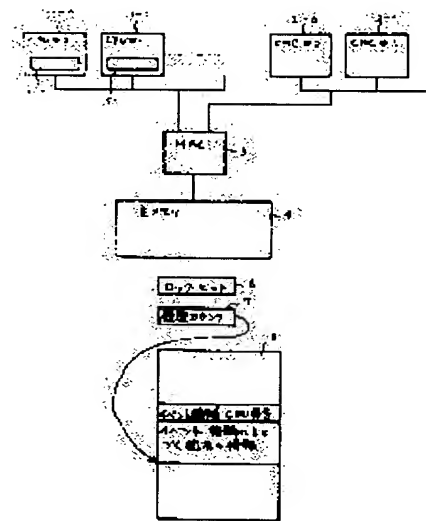
(72)Inventor : KANEDA SABURO

(54) HYSTERESIS RECORDING CONTROL SYSTEM OF MULTI-PROCESSOR SYSTEM

(57)Abstract:

PURPOSE: To eliminate rearrangement of event information by providing one hysteresis memory shared by the whole system and writing the event information under the condition that the memory is not used by another processor.

CONSTITUTION: An event assigned in central processor 1-0, when occurring, is detected by central processor 1-0 to read lock bit 6 and hysteresis counter 7. If lock bit 6 is [0], event information, an address assigned by hysteresis counter 7 and a write signal are sent to memory access control part 3. Consequently, hysteresis information is written by hysteresis memory 8 shared by several central processors 1. Even if an event occurs to central processor 1-1 while central processor 1-0 is in process of writing the event information, processor 1-1 is unable to write information because of lock bit 6 of [0] and the write operation is done after lock bit 6 is reset.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭55—33288

⑤ Int. Cl.³
G 06 F 15/16
11/16

識別記号

庁内整理番号
7165—5B
7368—5B

⑬ 公開 昭和55年(1980)3月8日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ マルチプロセッサ・システムにおける履歴記録制御方式

川崎市中原区上小田中1015番地
富士通株式会社内

⑮ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑯ 特 願 昭53—106507

⑰ 出 願 昭53(1978)8月31日

⑱ 代 理 人 弁理士 京谷四郎

⑲ 発 明 者 金田三郎

明 細 書

録制御方式。

1. 発明の名称

マルチプロセッサ・システムにおける履歴記録制御方式

2. 特許請求の範囲

複数のプロセッサと、該複数のプロセッサによつて共用される主メモリとを備えるマルチプロセッサの事象情報が記録される履歴メモリと、事象情報の書き込みエリアを指定する履歴カウンタと、事象情報の上記履歴メモリへの書き込み処理が実行中であることを表示するロック・ビット部とを設け、プロセッサに外部より指定された事象が生起した時、当該プロセッサが上記ロック・ビットの内容を読み取り、他のプロセッサによる事象情報の履歴メモリへの書き込みが行われていないことを条件として当該事象情報を上記履歴カウンタで指定された履歴メモリのエリアへ書き込むことを特徴とするマルチプロセッサ・システムにおける履歴記

3. 発明の詳細な説明

本発明は、マルチプロセッサ・システムにおける履歴記録制御方式に関するものである。

マルチプロセッサ・システムにおいて、イベント(事象)の履歴を記録することは、ハードウェアおよびソフトウェアをデバッグするために非常に役立つ。本出願によつて、さきに特許出願されたマルチプロセッサ・システムにおける履歴記録方式は、各プロセッサ毎に履歴情報を蓄積するメモリを設け、そのメモリにイベントに関する情報と共に時計情報を格納するものである。この従来方式では、イベントの発生順序を決めるには、各プロセッサの履歴メモリの内容を読出し、イベント発生時刻を基にしてイベント情報を並べ換える必要があり、複雑な処理が必要であつた。

本発明は、上記の欠点を除去するものであつて、イベント情報を発生時刻に従つて並べ換える必要のないマルチプロセッサシステムにおける履歴記

録制御方式を提供することを目的としている。そしてそのため、本発明のマルチプロセッサ・システムにおける履歴記憶方式は、複数のプロセッサと、該複数のプロセッサによつて共用される主メモリとを備えるマルチプロセッサ・システムにおいて、上記複数のプロセッサの事象情報が記録される履歴メモリと、事象情報の書き込みエリアを指定する履歴カウンタと、事象情報の上記履歴メモリへの書き込み処理が実行中であることを表示するロック・ビット部とを設け、プロセッサに外部より指定された事象が生じた時、当該プロセッサが上記ロック・ビットの内容を読み取り、他のプロセッサによる事象情報の履歴メモリへの書き込みが行われていないことを条件として当該事象情報を上記履歴カウンタで指定された履歴メモリのエリアへ書き込むことを特徴とするものである。以下、本発明を図面を参照しつつ説明する。

第1図は、本発明が適用されるマルチプロセッサ・システムの概要を示す図、第2図は、履歴メモリの内容を示す図、第3図は、履歴制御回路の

構成を示す図である。第1図において、1-0と1-1は中央処理装置、2-0と2-1はチャネル制御装置、3はメモリ・アクセス制御部、4は主メモリ、5-0と5-1は履歴制御回路をそれぞれ示している。各中央処理装置1-0、1-1に対して、如何なる事象の履歴を記録すべきかを予め外部から指示する。履歴を記録すべき事象としては例えばオペランド・アドレスが一致したこと、命令アドレスが一致したこともしくは分岐が行われたこと等がある。

第2図は、履歴メモリの内容を示すものであつて、6はロック・ビット(Lock Bit)記憶部、7は履歴カウンタ、8は履歴記憶部を示している。これらのロック・ビット記憶部、履歴カウンタ7、履歴記憶部8は主メモリ4に準備されている。ロック・ビットは、或る中央処理装置が履歴記憶部8にイベント情報を書き込んでいるとき、論理「1」とされる。ロック・ビットが論理「1」とであると、他の中央処理装置がイベント情報を履歴記憶部8に書き込むことが出来ない。履歴カウンタ7は、イ

ベント情報を書込む番地を指示するものであり、1つのイベント情報の書き込みが終了すると、その内容は+1される。履歴カウンタ7は最大数を計数した後は、初期値へ戻る。イベント情報は、イベントの種類、中央処理装置の番号およびイベントの種類に基づく固有な情報などを含んでいる。イベントの種類に基づく固有の情報とは、例えば分岐が行われた場合におけるその分岐命令のアドレスなどである。

第3図は、履歴制御回路の構成を示すものであつて、9はローカル・メモリ・アドレス・レジスタ、10はローカル・メモリ、11-0ないし11-2は作業用レジスタ、12は演算論理ユニット、13はムーバをそれぞれ示している。ローカル・メモリ10内のロック・ワード・アドレスとは、ロック・ビット記憶部6のアドレスを指示し、カウンタ・ワード・アドレスとは履歴カウンタ7のアドレスを示している。

いま、例えば中央処理装置1-0内に指定されたイベントが発生したと仮定する。中央処理装置

1-0は、指定されたイベントが発生したことを検出すると、ロック・ビット6および履歴カウンタ7の内容を読み取る。そして、ロック・ビット6が論理「0」であれば、イベント情報、イベント情報を書込むアドレスおよび書き込み信号を、作業レジスタ11-0、11-1又は11-2および演算論理ユニットとしてを経由してメモリ・アクセス制御部3へ送る。これにより、イベント情報が履歴記憶部8の指定されたエリアに書き込まれる。中央処理装置1-0がイベント情報を書き込んでいるとき、中央処理装置1-1に指定されたイベントが発生したとする。この時、ロック・ビット6が論理「1」となつていたので、中央処理装置1-1のイベント情報の書き込みは行われぬ。そして、ロック・ビット6が解除されると、中央処理装置1-1のイベント情報が履歴記憶部8に書き込まれる。

以上の説明から明らかなように、本発明によれば、複数のプロセッサを有するマルチプロセッサ・システムにおいて、全システムで共用される1

ス・レジスタ、11-1ないし11-2…作業用レジスタ、12…演算論理ユニット、13…ムーバ。

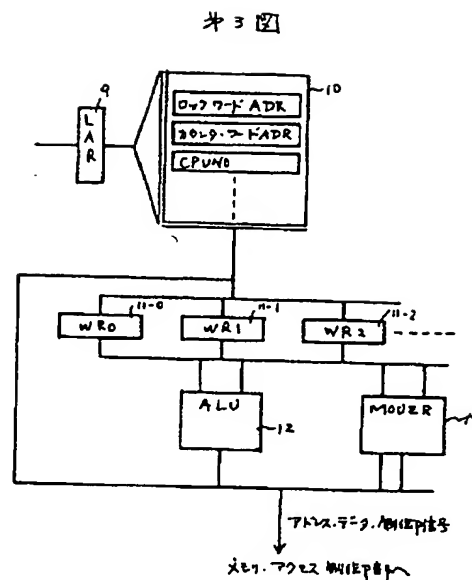
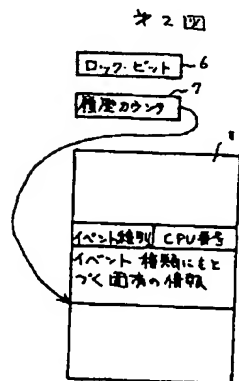
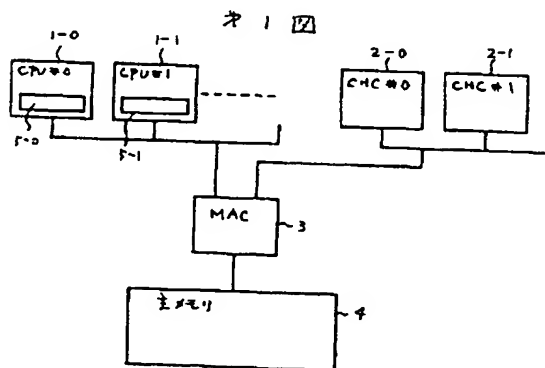
特許出願人 富士通株式会社
代理人 弁理士 京谷 四郎

個の履歴メモリを設け、プロセッサに指定されたイベントが発生した時、他のプロセッサが履歴メモリを使用していないことを条件としてイベント情報の履歴メモリへの書き込みを行い、他のプロセッサの履歴メモリを使用している場合にはその使用の終了を持つてイベント情報の書き込みを行っているので、従来方式のように発生時刻を基にしてイベント情報を並べ換えるという処理が不要となる。

4. 図面の簡単な説明

第1図は本発明が適用されるマルチプロセッサ・システムの概要を示す図、第2図は履歴メモリの内容を示す図、第3図は履歴制御回路の構成を示す図である。

1-0と1-1…中央処理装置、2-0と2-1…チャネル制御装置、3…メモリ・アクセス制御部、4…主メモリ、5-0と5-1…履歴制御回路、6…ロック・ビット、7…履歴カウンタ、8…履歴記憶部、9…ローカル・メモリ・アドレス



手続補正書（自発）

補 正 の 内 容

昭和53年9月22日

特許庁長官 加 谷 善 二 殿

1. 事件の表示 昭和53年特許願オ106507号
2. 発明の名称
マルチプロセッサ・システムにおける履歴記録制御方式
3. 補正をする者
事件との関係 特許出願人
住 所 神奈川県川崎市中原区上小田中1015番地
氏 名 (522) 富士通株式会社
代表者 小 林 大 祐
4. 代 理 人
住 所 東京都荒川区西日暮里4丁目17番1号
佐原マンション3F B
氏 名 (8089) 弁理士 京 谷 四 郎
5. 補正により増加する発明の数
6. 補正の対象 明 細 書
7. 補正の内容 別紙の通り

(1) 特許請求の範囲を次のように補正する。

「複数のプロセッサと、該複数のプロセッサによつて共用される主メモリとを備えるマルチプロセッサ・システムにおいて、上記複数のプロセッサの事象情報が記録される履歴メモリと、事象情報の書き込みエリアを指定する履歴カウンタと、事象情報の上記履歴メモリへの書き込み処理が実行中であることを表示するロック・ビット部とを設け、プロセッサに外部より指定された事象が生起した時、当該プロセッサが上記ロック・ビットの内容を既取り、他のプロセッサによる事象情報の履歴メモリへの書き込みが行われていないことを条件として当該事象情報を上記履歴カウンタで指定された履歴メモリのエリアへ書き込むことを特徴とするマルチプロセッサ・システムにおける履歴記録制御方式。」

(2) オ2頁オ8行の「本出願によつて」を「本出願人によつて」と補正する。

以上